

2ed
5-10-02

Attorney Docket No. 1614.1222

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Shinichiro TAGO, et al.

Application No.:

Group Art Unit:

Filed: March 6, 2002

Examiner:

For: APPARATUS FOR BRANCH PREDICTION BASED ON HISTORY TABLE

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2001-186473


Filed: June 20, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 6, 2002

By: 
Gene M. Garner, II
Registration No. 34,172

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

JC979 U.S. PTO
10/091147
03/06/02

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC979 U.S. PTO
10/091147
03/06/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月20日

出 願 番 号

Application Number:

特願2001-186473

出 願 人

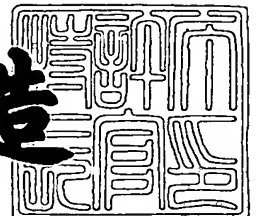
Applicant(s):

富士通株式会社

2001年11月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3103864

【書類名】 特許願

【整理番号】 0140351

【提出日】 平成13年 6月20日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06F 9/32
G06F 9/38

【発明の名称】 分岐予測装置、プロセッサ、及び分岐予測方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 多湖 真一郎

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 山名 智尋

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 竹部 好正

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100070150

 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

 【弁理士】

 【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 分岐予測装置、プロセッサ、及び分岐予測方法

【特許請求の範囲】

【請求項 1】 過去の分岐命令の履歴を保持する履歴レジスタと、

該履歴レジスタが保持する該履歴と命令アドレスとから第 1 のインデックスを生成するインデックス生成回路と、

各第 1 のインデックスに対して該命令アドレスの一部であるタグと分岐のし易さを示す第 1 の値とを格納する履歴テーブルと、

該命令アドレスの少なくとも一部を第 2 のインデックスとして該命令アドレスが示す命令の分岐先アドレス又は予測分岐先アドレスと分岐のし易さを示す第 2 の値とを格納する分岐先バッファと、

該第 1 の値及び該第 2 の値の何れかを選択することで分岐予測を行う選択ユニット

を含むことを特徴とする分岐予測装置。

【請求項 2】 該選択ユニットは、現在の命令アドレスに対して該分岐先バッファにエントリが存在し且つ該現在の命令アドレスと現在の履歴とに対して該履歴テーブルにエントリが存在する場合には該第 1 の値を選択し、該現在の命令アドレスに対して該分岐先バッファにエントリが存在し且つ該現在の命令アドレスと現在の履歴とに対して該履歴テーブルにエントリが存在しない場合には該第 2 の値を選択することを特徴とする請求項 1 記載の分岐予測装置。

【請求項 3】 該選択ユニットは、該現在の命令アドレスに対して該分岐先バッファにエントリが存在しない場合には分岐しないと予測することを特徴とする請求項 2 記載の分岐予測装置。

【請求項 4】 該インデックス生成回路は、該履歴レジスタが保持する該履歴と該命令アドレスとの排他的論理和として該第 1 のインデックスを生成することを特徴とする請求項 1 記載の分岐予測装置。

【請求項 5】 該履歴テーブルは該第 1 のインデックスの各々に対して複数のエントリが登録できるように複数個設けられることを特徴とする請求項 1 記載の分岐予測装置。

【請求項 6】過去の分岐命令の履歴を保持する履歴レジスタと、

該履歴レジスタが保持する該履歴と命令アドレスとから第 1 のインデックスを生成するインデックス生成回路と、

各第 1 のインデックスに対して該命令アドレスの一部であるタグと分岐のし易さを示す第 1 の値とを格納する履歴テーブルと、

該命令アドレスの少なくとも一部を第 2 のインデックスとして該命令アドレスが示す命令の分岐先アドレスと分岐のし易さを示す第 2 の値とを格納する分岐先バッファと、

該第 1 の値及び該第 2 の値の何れかを選択することで分岐予測を行う選択ユニットと、

命令の実行を制御する実行制御ユニットと、

該命令を実行する演算実行ユニット
を含むことを特徴とするプロセッサ。

【請求項 7】過去の分岐命令の履歴と命令アドレスとから生成する第 1 のインデックスに対して該命令アドレスの一部であるタグと分岐のし易さを示す第 1 の値とを格納する履歴テーブルと、該命令アドレスの少なくとも一部を第 2 のインデックスとして該命令アドレスが示す命令の分岐先アドレスと分岐のし易さを示す第 2 の値とを格納する分岐先バッファとを設けた構成において、

該第 1 の値及び該第 2 の値の何れかを選択し、

選択した値に応じて分岐予測を行う

各段階を含むことを特徴とする分岐予測方法。

【請求項 8】該選択する段階は、現在の命令アドレスに対して該分岐先バッファにエントリが存在し且つ該現在の命令アドレスと現在の履歴とに対して該履歴テーブルにエントリが存在する場合には該第 1 の値を選択し、該現在の命令アドレスに対して該分岐先バッファにエントリが存在し且つ該現在の命令アドレスと現在の履歴とに対して該履歴テーブルにエントリが存在しない場合には該第 2 の値を選択することを特徴とする請求項 7 記載の分岐予測方法。

【請求項 9】該現在の命令アドレスに対して該分岐先バッファにエントリが存在しない場合に該分岐先バッファに該現在の命令アドレスを登録し、

該現在の命令アドレスに対して該分岐先バッファにエントリが存在し且つ該現在の命令アドレスと現在の履歴とに対して該履歴テーブルにエントリが存在せず且つ該第 2 の値に基づく予測結果が誤りである場合に該履歴テーブルに該現在の命令アドレスに関する登録を行う

各段階を含むことを特徴とする請求項 8 記載の分岐予測方法。

【請求項 10】 該現在の命令アドレスに対して該分岐先バッファにエントリが存在し且つ該現在の命令アドレスと現在の履歴とに対して該履歴テーブルにエントリが存在せず且つ該第 2 の値に基づく予測結果が正しい場合に該履歴テーブルに該現在の命令アドレスに関する登録を行わないことを特徴とする請求項 9 記載の分岐予測方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に分岐命令の分岐予測方式及びプロセッサに関し、詳しくは、PHT (Pattern History Table) を用いた分岐予測方式及びプロセッサに関する。

【0002】

【従来の技術】

パイプライン動作を実行するプロセッサにおいては、分岐命令の分岐結果を待ってから分岐先アドレスに分岐するのでは、命令フェッチのタイミングが遅くなりパイプライン動作に乱れが生じる。従って、分岐命令を実行する前に分岐予測をし、パイプライン動作の流れに沿った一連の命令フェッチを可能にする必要がある。

【0003】

分岐命令には、その分岐命令自体が分岐し易い或いは分岐し難いといったように、ローカルな意味で分岐方向に偏りが存在する場合が多い。また最近実行された分岐命令の分岐結果に依存してある分岐命令が分岐し易い或いは分岐し難いといったように、グローバルな意味で分岐方向に偏りが存在する場合も多い。PHT (Pattern History Table) は、このような分岐傾向のローカル性及びグロー

バル性を考慮して、高い精度で分岐を予測する方式である。

【0004】

図1は、従来のPHTを利用した分岐予測方式の構成図である。

【0005】

図1の分岐予測装置は、XOR回路11、GHRユニット12、及びPHTユニット13を含む。GHR (Global History Register) 12は、最近実行した分岐命令について分岐したか否かに関する履歴を記録しておくレジスタである。分岐命令が分岐した場合にはレジスタ内部を左に1ビットシフトしながら最下位ビットに1を格納し、分岐命令が分岐しなかった場合にはレジスタ内部を左に1ビットシフトしながら最下位ビットに0を格納する。例えば、GHR12が6ビット長であり、現在の内容が“011001”であるとする。この状態で、ある分岐命令を実行した結果が「分岐」であったとすると、GHR12の内容を左に1ビットシフトし更に1を最下位ビットに挿入する。結果として、GHR12の内容は“110011”となる。この“110011”は、6回前の分岐命令が分岐、5回前の分岐命令が分岐、4回前の分岐命令が非分岐、3回前の分岐命令が非分岐、2回前の分岐命令が分岐、最も最近の分岐命令が分岐であったことを示す。

【0006】

XOR回路11は、プログラムカウンタ10が示す実行する分岐命令アドレスとGHRユニット12の内容との排他的論理和を計算する。計算された排他的論理和は、PHTユニット13にインデックスとして供給される。

【0007】

PHT13は、各インデックスに対して例えば2ビットのカウントを格納するRAMである。ここでインデックスは、上述のようにプログラムカウンタ10の示す実行する分岐命令アドレスとGHRユニット12の内容との排他的論理和である。また、インデックスの内容である2ビットのカウント値は、そのインデックスをヒットした場合の予測結果である。カウント値が0及び1の場合には分岐しないと予測し、カウント値が2及び3の場合には分岐すると予測する。

【0008】

例えば、GHR12の内容が“110011”であり、分岐命令アドレスが“001000

”である場合、インデックスは“111011”となる。このインデックス“111011”の内容の2ビットカウント値を参照して、例えばカウント値が2であるとする。上述のように2或いは3のカウント値は分岐予測を意味するので、命令アドレスが“001000”である現在実行しようとしている分岐命令は、分岐すると予測する。実際に命令を実行した結果として分岐すれば、カウント値に1を加算する。また実際に命令を実行した結果として分岐しない場合には、カウント値から1を減算する。従って、例えば実際の実行結果として分岐したとすると、カウント値は3に設定される。

【 0 0 0 9 】

その後、例えば、GHRユニット12が全く同一の内容“110011”である状態で、同じ分岐命令アドレス“001000”の分岐命令を再度実行する場合、インデックスは前回と同一の“111011”となる。この場合のカウント値は3であり、分岐命令は分岐すると予測する。前述のように、GHRユニット12の内容は、最近実行した分岐命令の分岐結果の履歴である。従って、最近の分岐傾向が同一の条件で同一の分岐命令を実行した場合には、その分岐結果は同一のインデックスに蓄積されていく。次回同一のインデックスを参照したときには、そのカウント値が分岐予測に用いられる。

【 0 0 1 0 】

最近実行した分岐命令の分岐結果の履歴が、上記の履歴と若干異なる場合として、例えばGHRユニット12の内容が“110010”であるとする。これは上記の場合“110011”と比較して、最後の分岐命令の結果が異なっていた場合である。この場合、上記と同一の分岐命令アドレス“001000”の分岐命令を実行すると、インデックスは“111010”となる。従って、このインデックスには、過去の分岐の履歴が“110010”である条件で分岐命令アドレス“001000”の分岐命令を実行した場合について、分岐結果が蓄積されていくことになる。

【 0 0 1 1 】

従って、仮に分岐命令がプログラム中に1つしか存在しない場合には、各インデックスは、この分岐命令の分岐の結果を種々の分岐履歴に対して蓄積することになり、分岐履歴を反映した非常に高い精度での分岐予測が可能となる。しかし

分岐命令がプログラム中に複数個存在する場合には、PHTユニット13内で互いの分岐命令の結果が干渉し合うことになり、予測精度が低下する。例えば、GHRユニット12の内容が“111010”の場合に分岐命令アドレス“000001”の分岐命令を実行するとすると、インデックスは“111011”となり、上記のようにGHR12の内容が“110011”であり分岐命令アドレスが“001000”である場合と同一のインデックスとなってしまふ。このようにXOR回路11でインデックスを計算する方式では、異なった分岐命令間で同一のインデックスを共有することになり、分岐結果の記録が干渉してしまい予測精度が低下する。

【0012】

予測精度を低下させないためには、GHRユニット12の内容とプログラムカウンタ10の内容とを繋ぎ合わせてインデックスを作成すればよい。例えば、GHR12の内容が“110011”であり分岐命令アドレスが“001000”である場合には、インデックスを“110011001000”とすればよい。しかしこの場合には、インデックスが長くなることで、PHTユニット13のRAMのエントリ数が大幅に増大してしまふ。実際、この場合のエントリ数は64倍($=2^6$)に増大することになる。

【0013】

【発明が解決しようとする課題】

上述のように、分岐予測に使用するPHTにおいてエントリが干渉する構成においては、分岐予測の精度が低下してしまうという問題がある。しかし予測精度を向上させるために、PHTのメモリ容量を必要以上に増大させることは望ましくない。可能な限り小さなメモリ容量で可能な限り予測精度を向上させることが望ましい。

【0014】

従って本発明は、PHTを使用する分岐予測方式において、可能な限り小さなメモリ容量を使用しながらエントリ干渉を回避して分岐予測の精度を向上させた分岐予測方式を提供することを目的とする。

【0015】

【課題を解決するための手段】

本発明による分岐予測装置は、過去の分岐命令の履歴を保持する履歴レジスタと、該履歴レジスタが保持する該履歴と命令アドレスとから第1のインデックスを生成するインデックス生成回路と、各第1のインデックスに対して該命令アドレスの一部であるタグと分岐のし易さを示す第1の値とを格納する履歴テーブルと、該命令アドレスの少なくとも一部を第2のインデックスとして該命令アドレスが示す命令の分岐先アドレスと分岐のし易さを示す第2の値とを格納する分岐先バッファと、該第1の値及び該第2の値の何れかを選択することで分岐予測を行う選択ユニットを含むことを特徴とする。

【0016】

上記分岐予測装置において、該選択ユニットは、現在の命令アドレスに対して該分岐先バッファにエントリが存在し且つ該現在の命令アドレスと現在の履歴とに対して該履歴テーブルにエントリが存在する場合には該第1の値を選択し、該現在の命令アドレスに対して該分岐先バッファにエントリが存在し且つ該現在の命令アドレスと現在の履歴とに対して該履歴テーブルにエントリが存在しない場合には該第2の値を選択することを特徴とする。

【0017】

上記分岐予測装置においては、履歴テーブル（PHT）のエントリに命令の一部をタグとして設けることで、異なった分岐命令間でのPHTエントリの干渉を避けることが可能になる。しかしながらあるインデックスを参照しても、タグが現在の命令に一致しない場合には、当該履歴状況での当該命令に関する情報は登録されていないことになる。このような場合には、分岐先バッファ（BTB）を分岐予測に使用する。即ち、履歴テーブルがヒットした場合（タグが一致）には、履歴テーブルの第1の値を分岐予測に使用し、履歴テーブルがミスした場合（タグが不一致）には、分岐先バッファの第2の値を分岐予測に使用する。

【0018】

このように本発明による分岐予測方式では、エントリ干渉を回避して高精度な分岐予測が可能になるので、実際の分岐方向が確定する前に予測に基づいて命令フェッチしても、予測がはずれる可能性は小さく、パイプライン動作の乱れを避けることが出来る。

【 0 0 1 9 】

また本発明による分岐予測方式では、分岐先バッファの第2の値を予測に併用することにより、従来のようにPHT単体で分岐予測を実行する場合と比較して、分岐結果を学習させるまでの時間が短くてすむ。従って、本発明による分岐予測方式は、コンテキストスイッチによる状況変化に短時間で対応できる。

【 0 0 2 0 】

【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【 0 0 2 1 】

図2は、本発明によるPHTを利用した分岐予測装置の構成図である。

【 0 0 2 2 】

本発明による分岐予測装置は、XOR回路21、GHRユニット22、タグ付きPHTユニット23、比較ユニット24、BTB (Branch Target Buffer) 25、比較ユニット26、及び選択ユニット27を含む。

【 0 0 2 3 】

GHR (Global History Register) 22は、最近実行した分岐命令について分岐したか否かに関する履歴を記録しておくレジスタである。分岐命令が分岐した場合にはレジスタ内部を左に1ビットシフトしながら最下位ビットに1を格納し、分岐命令が分岐しなかった場合にはレジスタ内部を左に1ビットシフトしながら最下位ビットに0を格納する。XOR回路21は、プログラムカウンタ20が示す実行する分岐命令アドレスとGHRユニット22の内容との排他的論理和を計算する。計算された排他的論理和は、タグ付きPHTユニット23にインデックスとして供給される。

【 0 0 2 4 】

タグ付きPHTユニット23は、XOR回路21の出力である各インデックスに対して、タグ23aとカウント値23bとを格納するRAMである。またBTBユニット25は、命令アドレスの一部をインデックスとして、タグ(命令アドレスの一部)25aと、分岐命令の分岐先アドレス25bと、バイアスビット25cとを格納するRAMである。

【0025】

B T B ユニット 25 は、従来の分岐予測方式においても使用されるユニットであり、分岐命令が分岐すると予測されると、その分岐先アドレスを直ちに提供するために設けられる。通常分岐先アドレスは、フェッチした分岐命令をデコードして命令を実行する時に算出する必要があるために、分岐先アドレスの特定には時間を要する。B T B を設けておき各分岐命令に対して分岐先アドレスを格納しておくことで、分岐命令が分岐すると予測される時に、分岐先アドレスを直ちに B T B から読み出すことが出来る。ここで B T B のメモリ容量を小さくするために、命令アドレスの一部をインデックスとし、残りの部分をタグとして、当該インデックスのエントリの一部としてタグを格納しておく。

【0026】

プログラムカウンタ 20 から命令アドレスが入力されると、この命令アドレスに対応するインデックスからタグ 25 a を読み出し、読み出したタグ 25 a と入力命令アドレスの対応部分とを比較する。この比較は、比較ユニット 26 によって実行される。比較結果が一致を示す場合（ヒットした場合）には、この命令アドレスの分岐命令が登録されていることになり、当該インデックスに格納されている分岐先アドレス 25 b をプリフェッチアドレスとして使用する。

【0027】

バイアスピット 25 c は、その分岐命令が分岐し易いが分岐し難いかを示す。1 ビットで構成される場合には、例えば“1”が分岐し易いことを示し、“0”が分岐し難いことを示す。このバイアスピット 25 c は、その分岐命令自体が分岐し易いか分岐し難いかを示す、ローカルな意味での分岐方向の偏りに関する情報である。

【0028】

タグ付き P H T ユニット 23 は、X O R 回路 21 が求めた命令アドレスの一部と G H R ユニット 22 との排他的論理和をインデックスとして、過去に実行した分岐結果の情報をカウント値 23 b として保持する。本発明においては、タグ付き P H T ユニット 23 は、カウント値 23 b だけでなく、命令アドレスの一部をタグ 23 a として保持している。

【 0 0 2 9 】

プログラムカウンタ 2 0 の命令アドレスと G H R ユニット 2 2 の内容とから X O R 回路 2 1 によりインデックスが求められると、タグ付き P H T ユニット 2 3 からタグ 2 3 a を読み出し、読み出したタグ 2 3 a と入力命令アドレスの対応部分とを比較する。この比較は、比較ユニット 2 4 によって実行される。比較結果が一致を示す場合（ヒットした場合）には、G H R ユニット 2 2 の内容が示す履歴状態での当該命令アドレスの分岐命令の情報が登録されていることになる。この場合には、このインデックスに格納されているカウント値 2 3 b を、分岐予測に使用する。カウント値 2 3 b は、例えば 2 ビットカウンタのカウントであり、0 及び 1 の場合には分岐しないと予測し、2 及び 3 の場合には分岐すると予測する。

【 0 0 3 0 】

タグ 2 3 a を設けることで、異なった分岐命令間での P H T エントリの干渉を避けることが可能になる。しかしながら、あるインデックスを参照しても、タグ 2 3 a が現在の命令に一致しない場合（ミスした場合）には、当該履歴状況での当該命令に関する情報は登録されていないことになる。本発明では、このような場合には、B T B ユニット 2 5 のバイアスピット 2 5 c を分岐予測に使用する。

【 0 0 3 1 】

即ち、タグ付き P H T ユニット 2 3 がヒットした場合（タグが一致）には、タグ付き P H T ユニット 2 3 のカウント値 2 3 b を分岐予測に使用し、タグ付き P H T ユニット 2 3 がミスした場合（タグが不一致）には、B T B ユニット 2 5 のバイアスピット 2 5 c を分岐予測に使用する。この選択は、選択ユニット 2 7 によって実行される。選択ユニット 2 7 は、比較ユニット 2 4 からの比較結果によって、タグ付き P H T ユニット 2 3 がヒットしたか否かを検出する。この検出に基づいて、比較ユニット 2 4 は、タグ付き P H T ユニット 2 3 からのカウント値 2 3 b 或いは B T B ユニット 2 5 からのバイアスピット 2 5 c の何れかを選択し、選択したデータに基づいて分岐予測をして分岐予測結果を出力する。なお B T B ユニット 2 5 がヒットしていない場合には、分岐先アドレス 2 5 b が利用できないので、一律に「分岐しない」と予測して予測結果を出力する。

【 0 0 3 2 】

図 3 は、本発明による分岐予測のフローチャートである。

【 0 0 3 3 】

ステップ S 1 で、B T B ユニット 2 5 がヒットしたか否かを判断する。ヒットした場合にはステップ S 3 に進み、ミスした場合にはステップ S 2 に進む。

【 0 0 3 4 】

ステップ S 2 で、B T B ユニット 2 5 がヒットしておらず分岐先アドレス 2 5 b が利用できないので、一律に「分岐しない」と予測する。

【 0 0 3 5 】

ステップ S 3 で、タグ付き P H T ユニット 2 3 がヒットしたか否かを判断する。ヒットした場合にはステップ S 5 に進み、ミスした場合にはステップ S 4 に進む。

【 0 0 3 6 】

ステップ S 4 で、B T B ユニット 2 5 のバイアスビット 2 5 c に基づいて分岐予測を行う。

【 0 0 3 7 】

ステップ S 5 で、タグ付き P H T ユニット 2 3 のカウント値 2 3 b に基づいて分岐予測を行う。

【 0 0 3 8 】

図 4 は、本発明によるデータ更新処理のフローチャートである。

【 0 0 3 9 】

ステップ S 1 で、B T B ユニット 2 5 がヒットしたか否かを判断する。ヒットした場合にはステップ S 3 に進み、ミスした場合にはステップ S 2 に進む。

【 0 0 4 0 】

ステップ S 2 で、ヒットしなかった対象命令アドレスを、その分岐先アドレスと共に B T B ユニット 2 5 に登録する。この際、実際に命令を実行した分岐結果を、B T B ユニット 2 5 のバイアスビット 2 5 c として格納する。即ち、実際の命令実行の結果、分岐をしたのであれば 1 をバイアスビット 2 5 c に格納し、分岐しなかったのであれば 0 をバイアスビット 2 5 c に格納する。

【 0 0 4 1 】

ステップ S 3 では、B T B ユニット 2 5 がヒットしているので、B T B ユニット 2 5 の対象命令アドレスを更新する。

【 0 0 4 2 】

ステップ S 4 で、タグ付き P H T ユニット 2 3 がヒットしたか否かを判断する。ヒットした場合にはステップ S 8 に進み、ミスした場合にはステップ S 5 に進む。

【 0 0 4 3 】

ステップ S 5 で、対象命令を実際に実行した結果、実際の分岐方向が分岐予測と一致したか否かを判断する。ここで判断対象の分岐予測は、タグ付き P H T ユニット 2 3 がミスした場合であるので、B T B ユニット 2 5 のバイアスピット 2 5 c に基づいて行われたものである。判断の結果、一致する場合にはステップ S 6 に進み、一致しない場合にはステップ S 7 に進む。

【 0 0 4 4 】

ステップ S 6 で、何もせずに処理を終了する。これは、分岐予測の結果と実際の分岐の結果とが一致する場合には、現状の分岐予測が適切であると判断できるからである。

【 0 0 4 5 】

ステップ S 7 で、タグ付き P H T ユニット 2 3 に当該履歴状況での当該命令に関する情報を登録する。即ち、対象となるインデックスに、対象となる命令アドレスのタグ 2 3 a を格納すると共に、カウント値 2 3 b に実際の分岐結果を格納する。例えば、分岐した場合には 2 (“ 1 0 ”) を格納し、分岐しなかった場合には 1 (“ 0 1 ”) を格納する。これは、分岐予測の結果と実際の分岐の結果とが一致しない場合には、B T B ユニット 2 5 のバイアスピット 2 5 c に基づく現状の分岐予測が不適切であると判断できるからである。

【 0 0 4 6 】

ステップ S 8 では、タグ付き P H T ユニット 2 3 がヒットしているので、タグ付き P H T ユニット 2 3 のカウント値 2 3 b を更新する。具体的には、実際の分岐結果が分岐の場合にカウント値 2 3 b を 1 増加させ、分岐結果が分岐でない場

合にカウント値 2 3 b を 1 減少させる。なおカウント値 2 3 b が既に最大値（例えば 2 ビットカウンタなら 3）の場合には、実際の分岐結果が分岐であってもカウント値 2 3 b はそのままである。またカウント値 2 3 b が既に最小値（例えば 0）の場合には、実際の分岐結果が非分岐であってもカウント値 2 3 b はそのままである。

【 0 0 4 7 】

ステップ S 9 で、B T B ユニット 2 5 のバイアスビット 2 5 c とタグ付き P H T ユニット 2 3 のカウント値 2 3 b とについて、夫々の値をチェックする。バイアスビット 2 5 c とカウント値 2 3 b とが、夫々 0 と 0 （“00”）であるか或いは夫々 1 と 3 （“11”）である場合に、ステップ S 1 1 に進む。それ以外の場合には、ステップ S 1 0 に進む。

【 0 0 4 8 】

ステップ S 1 0 で、L R U ビット等を更新する。ここで L R U (Least Recently Used) ビットとは、タグ付き P H T ユニット 2 3 の各エントリに付加され、参照されてから最も使われなかったエントリを特定するためのビットである。タグ付き P H T ユニット 2 3 を分岐予測に使用する毎に、この L R U ビットを更新する。L R U ビットの意味については後述する。

【 0 0 4 9 】

ステップ S 1 1 で、タグ付き P H T ユニット 2 3 の対象エントリを無効にする。即ち、タグ付き P H T ユニット 2 3 の当該対象エントリを実質的に削除する。これは、タグ付き P H T ユニット 2 3 のカウント値 2 3 b が特定の分岐方向を強く示唆しており且つ B T B ユニット 2 5 のバイアスビット 2 5 c がそれと同一の分岐方向を示している場合には、B T B ユニット 2 5 のバイアスビット 2 5 c で分岐を予測しても同一の予測結果が得られるので、タグ付き P H T ユニット 2 3 から登録を抹消することで、タグ付き P H T ユニット 2 3 の R A M のメモリ空間を有効に使用するためである。

【 0 0 5 0 】

以上が、本発明によるデータ更新処理である。

【 0 0 5 1 】

以下に、本発明におけるセットアソシアティブ方式について説明する。

【 0 0 5 2 】

本発明においては、図 2 に示されるように、タグ付き P H T ユニット 2 3 が複数個設けられていてもよい。このように複数のタグ付き P H T ユニット 2 3 を設けることで、同一インデックスに対して複数のエントリを格納可能になる。例えば、4 セットの P H T が設けられる 4 - ウェイセットアソシアティブ方式においては、同一インデックスに対して、4 つまでのエントリを格納可能である。

【 0 0 5 3 】

このようにセットアソシアティブ方式を使用した場合には、データ更新時にどのエントリを削除するかを決定する必要がある。例えば 4 - ウェイセットアソシアティブにおいて既に 4 つのエントリを使用している状況で、5 つめのエントリを格納する必要があるとすると、既存の 4 つのエントリの何れかを選択して削除する必要がある。例えば、図 4 のステップ S 7 では、タグ付き P H T ユニット 2 3 に当該履歴状況での当該命令に関する情報を登録するが、既に同一のインデックスに対するエントリが満杯である場合には、既存の登録の何れかを削除して新規登録に置き換える必要がある。

【 0 0 5 4 】

図 4 のステップ S 1 0 に関連して説明した L R U ビットは、既存エントリを新規エントリで置き換える際に、置き換え対象のエントリを特定するために使用される。L R U ビットは、各エントリに対して保持され、各エントリの参照順序を示すビットである。この L R U ビットを調べることで、参照されてから最も長期間使われなかったエントリを特定して、新規エントリと置き換えることが出来る。

【 0 0 5 5 】

L R U 方式は置き換え対象のエントリを特定する方式の 1 つに過ぎず、他の方式として、最も使用されなかった最低使用頻度のエントリを置換する L F U (Least Frequently Used) 方式、最も過去に登録されたエントリを置換する F I F O (First-In First-Out) 方式、任意に選択したエントリを置換するランダム方式などがある。

【0056】

なおセットアソシアティブ方式を使用せずタグ付きPHTユニット23が一つだけ設けられる場合には、各インデックスに対して1つのエントリしか格納することは出来ない。この場合、タグ付きPHTユニット23に新規の情報を登録する際に、既に同一のインデックスに対して別の命令アドレスの登録がなされている場合には、この既存の登録を削除して、新規登録に置き換えることになる。

【0057】

また図2に示されるように、BTBユニット25に対してもセットアソシアティブ方式を用いても良い。

【0058】

以下に、本発明による分岐予測を具体的なプログラムの例を用いて説明する。

【0059】

図5は、分岐命令を含むプログラムの一例である。

【0060】

GHRユニット22の長さは6であり、その初期値を000000とする。

【0061】

命令アドレス000001において、BTBユニット25に0001をインデックスとしてアクセスすると、タグミスが検出され「分岐しない」と予測する。これは図3のステップS2に対応する。実際の命令実行の結果、分岐命令が分岐するので予測がはずれる。BTBユニット25のインデックス0001のエントリにタグ00、バイアス1、分岐先アドレス000011を登録する。これは図4のステップS2に対応する。

【0062】

GHRユニット22は、左に1ビットシフトしながら最下位ビットに分岐を表す1を格納し、結果として000001となる。この状態で、予測結果と各レジスタ／メモリの内容は、

PC=000001, 予測失敗, BTB[0001]=00-1-000011, GHR:000001

となる。ここでPCはプログラムカウンタを示し、BTBの内容は、タグ00、バイアス1、及び分岐先アドレス000011の順に示される。

【0063】

次に命令アドレス000100において、BTBユニット25に0100をインデックスとしてアクセスすると、タグミスが検出され「分岐しない」と予測する。実際の命令実行の結果、分岐命令が分岐しないので予測があたる。BTBユニット25のインデックス0100のエントリにタグ00、バイアス0を登録する。

【0064】

GHRユニット22は、左に1ビットシフトしながら最下位ビットに非分岐を表す0を格納し、結果として000010となる。この状態で、予測結果と各レジスタ／メモリの内容は、

PC=000001, 予測成功, BTB[0100]=00-0- *****, GHR:000010
となる。

【0065】

更に命令アドレス0005、0006、0007、及び0008の分岐命令が分岐しない。結果として、上記と同様に、

PC=000101, 予測成功, BTB[0101]=00-0- *****, GHR=000100
PC=000110, 予測成功, BTB[0110]=00-0- *****, GHR:001000
PC=000111, 予測成功, BTB[0111]=00-0- *****, GHR=010000
PC=001000, 予測成功, BTB[1000]=00-0- *****, GHR=100000
となる。

【0066】

更に命令アドレス001100において、BTBユニット25に1100をインデックスとしてアクセスすると、タグミスが検出され「分岐しない」と予測する。実際の命令実行の結果、分岐命令が分岐するので予測がはずれる。BTBユニット25のインデックス1100のエントリに、タグ00、バイアス1、分岐先アドレス001001を登録する。

【0067】

GHRユニット22は、左に1ビットシフトしながら最下位ビットに分岐を表す1を格納し、結果として000001となる。この状態で、予測結果と各レジスタ／メモリの内容は、

PC=001100, 予測失敗, BTB[1100]=00-1-001001, GHR=000001
となる。

【 0 0 6 8 】

ここで命令アドレス001001に分岐したので、再び命令アドレス001100において、BTBユニット25に1100をインデックスとしてアクセスを行う。今回はタグヒットが検出され、分岐先アドレス001001を得る。BTBユニット25がタグヒットしたので、タグ付きPHTユニット23がタグヒットするか否かをチェックする。これは図3のステップS3に対応する。

【 0 0 6 9 】

具体的には、アドレス001100とGHRの内容000001との排他的論理和001101をインデックスとして、タグ付きPHTユニット23にアクセスする。タグ判定結果はミスなので、BTBユニット25のバイアスビットに基づいて、「アドレス001001に分岐する」と予測する。これは図3のステップS4に対応する。実際の命令実行の結果、分岐命令が001001に分岐し予測が的中する。従って、図4のステップS6にあるように、BTBユニット25及びタグ付きPHTユニット23の更新はしない。この状態で、予測結果と各レジスタ／メモリの内容は、

PC=001100, 予測成功, BTB[1100]=00-1-001001(更新無し), GHR=000011
である。命令アドレス001100の分岐命令によって、ループが更に3回実行されると、

PC=001100, 予測成功, BTB[1100]=00-1-001001(更新無し), GHR=000111

PC=001100, 予測成功, BTB[1100]=00-1-001001(更新無し), GHR=001111

PC=001100, 予測成功, BTB[1100]=00-1-001001(更新無し), GHR=011111

となる。

【 0 0 7 0 】

ループが6回実行（5回分岐）された後に、命令アドレス001100において、上記と同様に「アドレス001001に分岐する」と予測する。この場合、ループは6回目で終了するので、分岐命令は分岐せず予測がはずれる。従って、図4のステップS7に示されるように、命令アドレス001100とGHRの内容011111との排他的論理和010011をタグ付きPHTユニット23のインデックスとし、タ

グ1100とカウント値0を登録する。この状態で、予測結果と各レジスタ／メモリの内容は、

PC=001100, 予測失敗, PHT[010011]=1100-0, GHR=111110

となる。

【 0 0 7 1 】

その後、命令アドレス001111において命令アドレス000010に分岐すると、

PC=001111, 予測失敗, BTB[1111]=00-1-000010, GHR=111101

となる。

【 0 0 7 2 】

命令アドレス000010以降の命令を再度実行すると、

PC=000100, 予測成功 (非分岐), BTB及びPHT更新なし, GHR=111010

PC=000101, 予測成功 (非分岐), BTB及びPHT更新なし, GHR=110100

PC=000110, 予測成功 (非分岐), BTB及びPHT更新なし, GHR=101000

PC=000111, 予測成功 (非分岐), BTB及びPHT更新なし, GHR=010000

PC=001000, 予測成功 (非分岐), BTB及びPHT更新なし, GHR=100000

PC=001100, 予測成功 (分岐), BTB及びPHT更新なし, GHR=000001

PC=001100, 予測成功 (分岐), BTB及びPHT更新なし, GHR=000011

PC=001100, 予測成功 (分岐), BTB及びPHT更新なし, GHR=000111

PC=001100, 予測成功 (分岐), BTB及びPHT更新なし, GHR=001111

PC=001100, 予測成功 (分岐), BTB及びPHT更新なし, GHR=011111

PC=001100, 予測成功 (非分岐), PHT[010011]=1100-0, GHR=111110

となる。ここで、ループの最後の繰り返しにおける命令アドレス001100の実行においては、BTBユニット25及びタグ付きPHTユニット23が双方共にヒットし、タグ付きPHTユニット23のカウント値23bは0なので、非分岐を予測する。最後に、

PC=001111, 予測成功 (分岐), BTB及びPHT更新なし, GHR=111101

となる。従って、今回は分岐予測が全体的中することになる。

【 0 0 7 3 】

このプログラムの実行において、本発明による分岐予測方式では、タグ付きP

HTユニット23では1つのエントリしか使用していない。このように、本発明の分岐予測方式は、RAMの使用容量が少なくても、高い予測精度を実現することが出来る方式である。

【0074】

なお図1に示される従来技術の分岐予測方式では、上記プログラムを実行した場合に、命令アドレス000010以降の命令を2度目に実行した際であっても、PHTEントリの干渉により全ての予測を的中させることは出来ない。

【0075】

図6は、本発明による分岐予測装置を採用したプロセッサの構成例を示す。

【0076】

図6のプロセッサ100は、命令キャッシュ101、データキャッシュ102、命令フェッチユニット103、命令実行制御部104、レジスタ105、レジスタ106、演算部107乃至110を含む。

【0077】

命令キャッシュ101及びデータキャッシュ102は、それぞれ命令及びデータを一時的に格納する。命令フェッチユニット103は、プログラムカウンタの示すアドレスの命令を、命令キャッシュ101から順次フェッチする。命令実行制御部104は、命令フェッチユニット103がフェッチした命令を順次デコードして、デコード結果に基づいて命令実行動作を制御する。レジスタ105、レジスタ106、及び演算部107乃至110は、演算実行ユニットを構成する。この演算実行ユニットは、命令実行制御部104の制御の下で動作して、命令に基づいた演算を実行する。ここで演算部107乃至110は、夫々命令0乃至3を独立に実行する形となっており、パイプライン動作を高速に実行可能な構成となっている。

【0078】

図2に示される本発明による分岐予測装置は、命令フェッチユニット103に設けられ、分岐命令があるときにその分岐方向を予測して、予測分岐方向に対応したアドレスの命令をフェッチする。本発明による分岐予測方式ではエントリ干渉を回避して高精度な分岐予測が可能になるので、実際の分岐方向が確定する前

に予測に基づいて命令フェッチしても、予測がはずれる可能性は小さく、パイプライン動作の乱れを避けることが出来る。

【 0 0 7 9 】

また本発明による分岐予測方式では、B T Bユニット25のバイアスビット25cを使用することにより、従来のようにP H T単体で分岐予測を実行する場合と比較して、分岐結果を学習させるまでの時間が短くてすむ。従って、本発明による分岐予測方式は、コンテキストスイッチによる状況変化に短時間で対応できる。8 K BのR A Mを使用したベンチマークjpeg, jbig, mpeg4, ghostscriptにおいて、本発明による分岐予測方式は、平均で9 6 %の予測精度を実現した。

【 0 0 8 0 】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【 0 0 8 1 】

【発明の効果】

本発明による分岐予測方式では、エントリ干渉を回避して高精度な分岐予測が可能になるので、実際の分岐方向が確定する前に予測に基づいて命令フェッチしても、予測がはずれる可能性は小さく、パイプライン動作の乱れを避けることが出来る。

【 0 0 8 2 】

また本発明による分岐予測方式では、B T Bのバイアスビットを予測に併用することにより、従来のようにP H T単体で分岐予測を実行する場合と比較して、分岐結果を学習させるまでの時間が短くてすむ。従って、本発明による分岐予測方式は、コンテキストスイッチによる状況変化に短時間で対応できる。

【図面の簡単な説明】

【図 1】

従来のP H Tを利用した分岐予測方式の構成図である。

【図 2】

本発明によるP H Tを利用した分岐予測装置の構成図である。

【図 3】

本発明による分岐予測のフローチャートである。

【図 4】

本発明によるデータ更新処理のフローチャートである。

【図 5】

分岐命令を含むプログラムの一例である。

【図 6】

本発明による分岐予測装置を採用したプロセッサの構成図である。

【符号の説明】

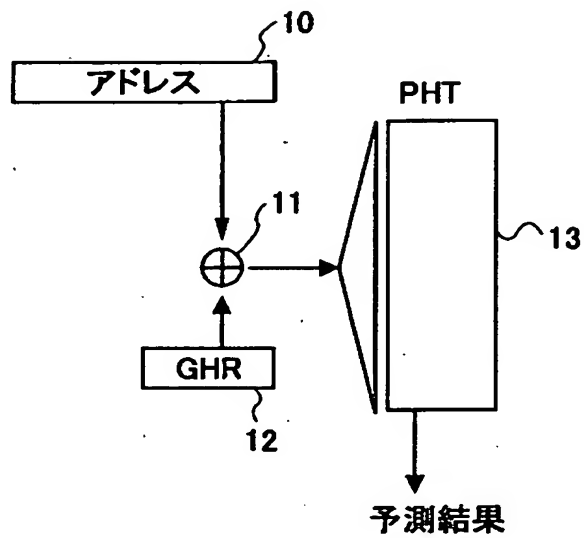
- 2 1 X O R 回路
- 2 2 G H R ユニット
- 2 3 タグ付き P H T ユニット
- 2 4 比較ユニット
- 2 5 B T B (Branch Target Buffer)
- 2 6 比較ユニット
- 2 7 選択ユニット 2 7

【書類名】

図面

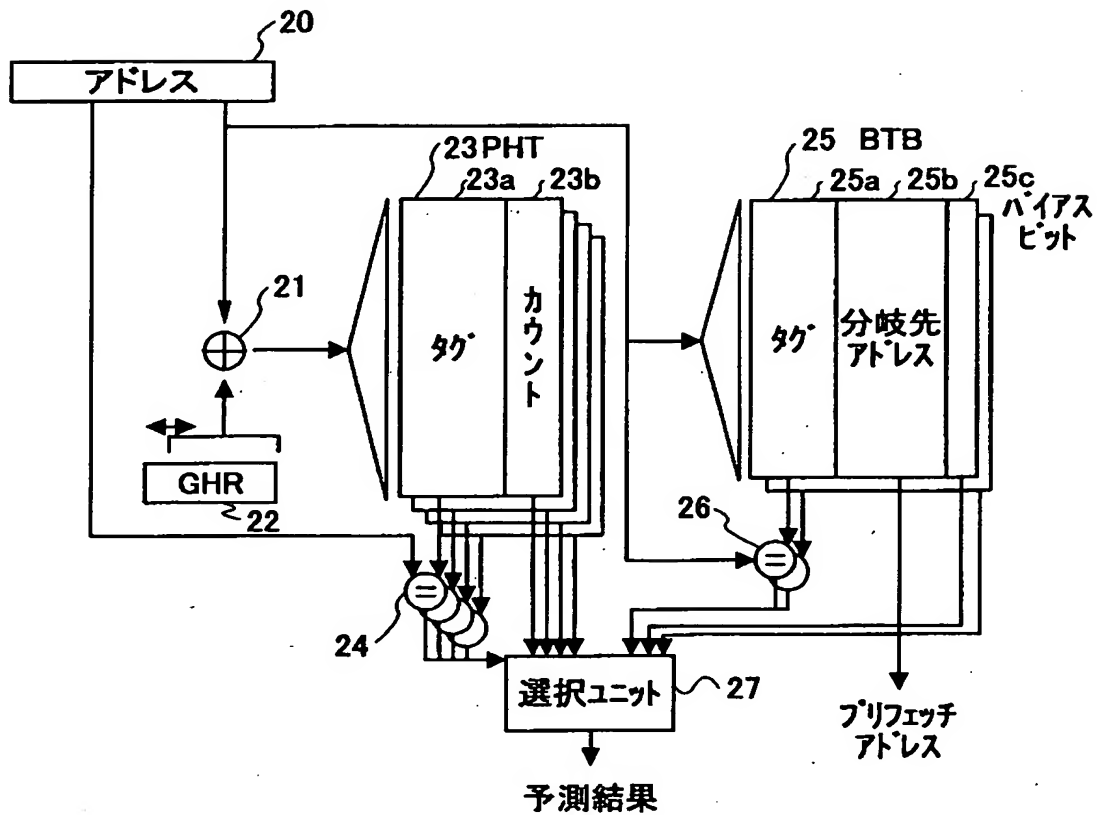
【図 1】

従来のPHTを利用した分岐予測方式の構成図



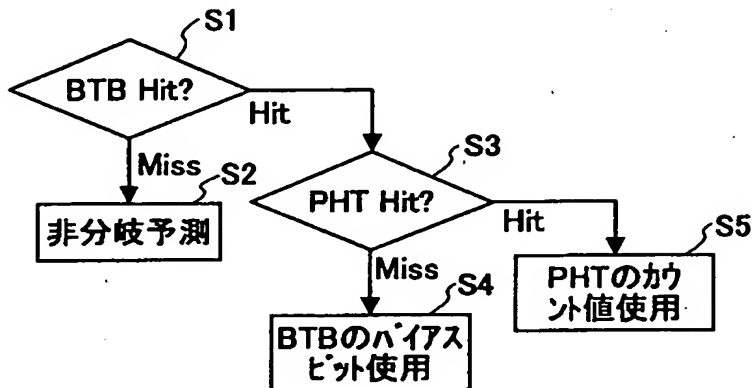
【図 2】

本発明によるPHTを利用した分岐予測装置の構成図



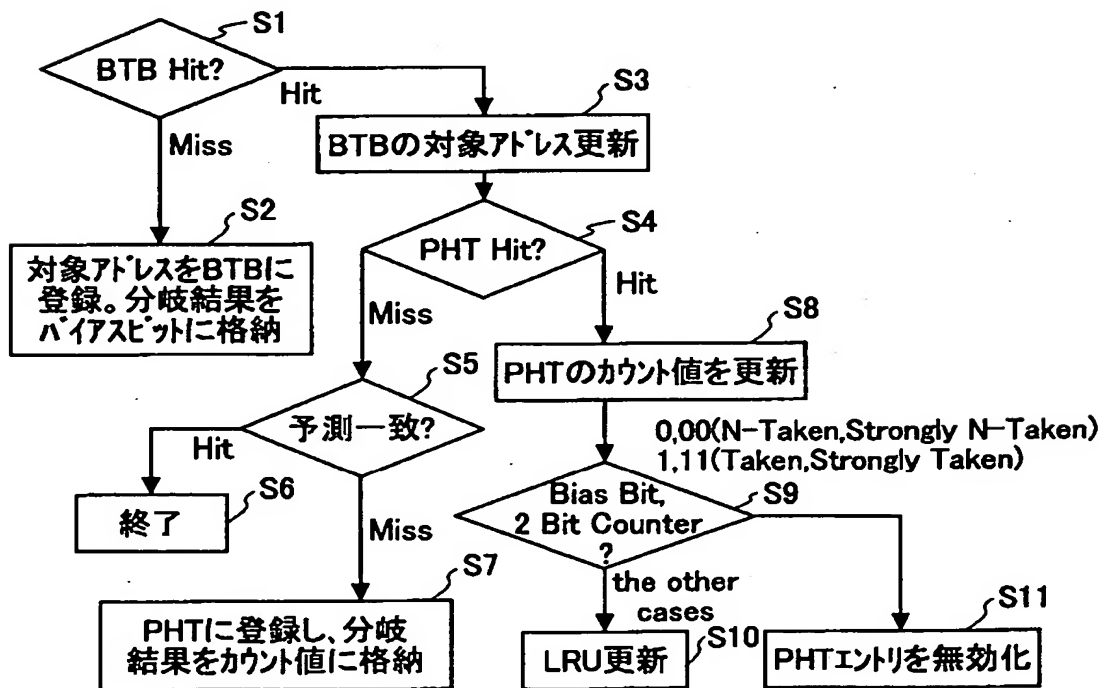
【図 3】

本発明による分岐予測のフローチャート



【図 4】

本発明によるデータ更新処理のフローチャート



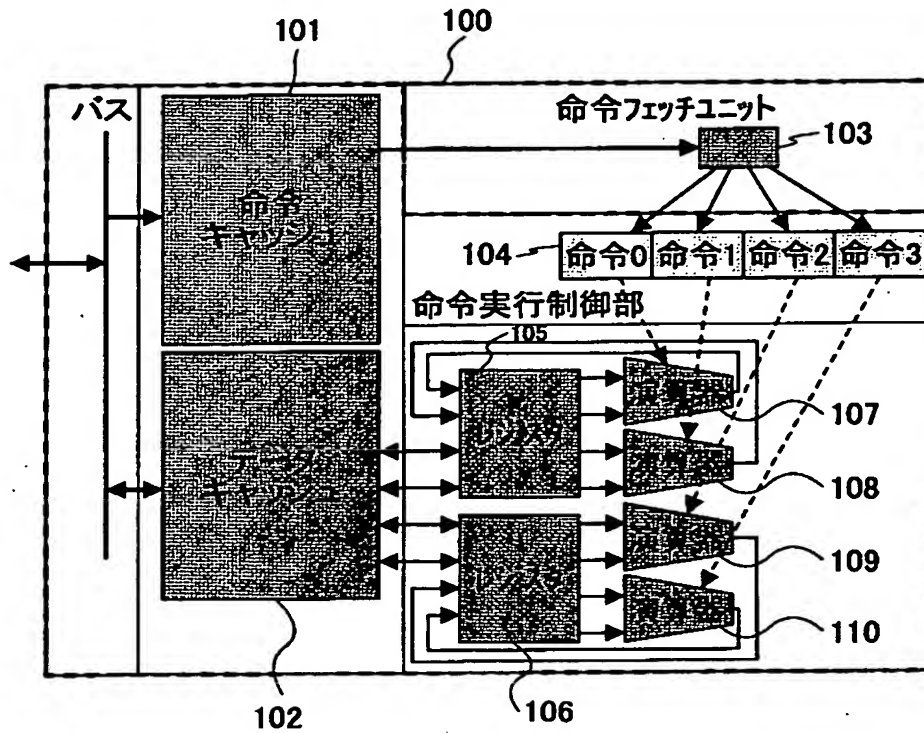
【図 5】

分岐命令を含むプログラムの一例

アドレス	命令
000000	演算命令
000001	000011への分岐命令
000010	演算命令
000011	演算命令
000100	分岐命令
000101	分岐命令
000110	分岐命令
000111	分岐命令
001000	分岐命令
001001	演算命令
001010	演算命令
001011	演算命令
001100	001001への分岐命令(5回分岐して1回分岐しない)
001101	演算命令
001110	演算命令
001111	000010への分岐命令
010000	演算命令

【図6】

本発明による分岐予測装置を採用したプロセッサの構成図



【書類名】 要約書

【要約】

【課題】本発明は、PHTを使用する分岐予測方式において、可能な限り小さなメモリ容量を使用しながらエントリ干渉を回避して分岐予測の精度を向上させた分岐予測方式を提供することを目的とする。

【解決手段】分岐予測装置は、過去の分岐命令の履歴を保持する履歴レジスタと、履歴レジスタが保持する履歴と命令アドレスとから第1のインデックスを生成するインデックス生成回路と、各第1のインデックスに対して命令アドレスの一部であるタグと分岐のし易さを示す第1の値とを格納する履歴テーブルと、命令アドレスの少なくとも一部を第2のインデックスとして命令アドレスが示す命令の分岐先アドレスと分岐のし易さを示す第2の値とを格納する分岐先バッファと、第1の値及び該第2の値の何れかを選択することで分岐予測を行う選択ユニットを含む。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社